

TP 2

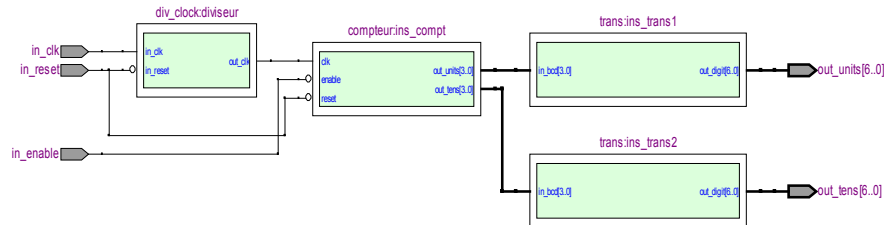
Module : Synthèse en VHDL des systèmes embarqués - Section ICE3

Enseignant : Chiheb Ameur ABID

Année universitaire : 2023-2024

L'objectif de ce TP est de réaliser un compteur modulo 60 (de 0 à 59) et qui affiche sa valeur sur des afficheurs 7 segments. La valeur du compteur augmente à chaque seconde et recommence à 0 après que la valeur atteigne 59.

Le module à réaliser est décrit par les figures ci-dessous. Si l'entrée asynchrone `reset` du module prend la valeur '1', la valeur du compteur est initialisée avec la valeur 00. Cette entrée doit être connectée à un bouton poussoir. L'entrée `in_enable` active/désactive le comptage. Cette entrée doit être connectée à un interrupteur (toggle switch). Les sorties `out_units` et `out_tens` forment la valeur du compteur, et elles sont connectées à des afficheurs 7 segments.



Comme il est indiqué dans le manuel d'utilisation (page 2-14) de la carte Cyclone II, la carte peut générer trois signaux d'horloge avec les fréquences 24Mhz, 27Mhz ou bien 50 Mhz. C'est-à-dire, le signal horloge ayant la plus petite fréquence (24Mhz) va générer $24 \cdot 10^6$ cycles durant une seconde! Donc, on devrait diviser sa fréquence pour faire opérer le compteur à 1Hz.

Décrire en VHDL le module `div_clock`, qui prend en entrée un signal horloge `in_clk` de fréquence 25 Mhz, pour générer sur sa sortie `out_clk` un signal horloge de fréquence 1hz.

```
Entity div_clock is generic port (
    reset,in_clk : in std_logic;
    out_clk : out std_logic
);
End entity;
```

Décrire en VHDL un compteur modulo 60. Ce compteur admet deux sorties pour envoyer les chiffres des dizaines et des unités séparément. Ces chiffres sont codés au format BCD séparément.

```
Entity compteur is port (
    enable, clk, reset : in std_logic;
    out_units, out_tens : out std_logic_vector(3 downto 0)
);
End entity;
```

Dans cette réalisation, nous utilisons deux transcodeurs pour envoyer les deux chiffres du compteur aux afficheurs 7 segments. Décrire en VHDL le module transcodeur qui prend en entrée un mot BCD (Binaire Codé Décimal) de 4 bits et qui produit sur ses sorties de commande des segments d'un afficheur de manière à afficher les symboles décimaux correspondants sur l'afficheur 7 segments. Il est à noter que les segments sont actives à l'état bas.

```
Entity transcodeur is port (
    in_bcd : in std_logic_vector(3 downto 0);
    out_digits : out std_logic_vector(6 downto 0)
);
End entity;
```

Décrire en VHDL le module complet permettant de réaliser le compteur.

L'édition des connexions de 7 fois 4 afficheurs sera très longue et fastidieuse sur l'éditeur de broches (Pin Planner) de QUARTUS. On propose d'importer le fichier ayant l'extension qsf disponible à l'adresse <https://clck.ru/Adukb>. Importer le fichier qsf à partir de menu "Assignments-> Import Assignments...".

Télécharger le fichier .sof de la réalisation sur la carte Cyclone II et la tester.