

TD 1

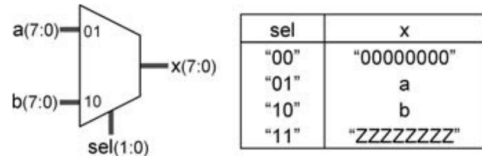
Module : Synthèse en VHDL des systèmes embarqués - Section ICE3

Enseignant : Chiheb Ameur ABID

Année universitaire : 2023-2024

Exercice 1.

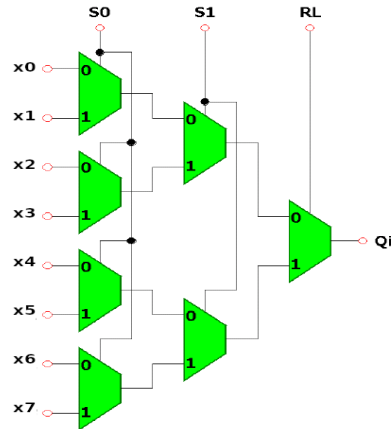
Soit le multiplexeur illustré par la figure ci-après.



- 1) Donner le code de la partie entity.
- 2) Donner la description VHDL de la partie architecture en proposant deux versions : une avec l'affectation conditionnelle et l'autre avec l'affectation sélective.

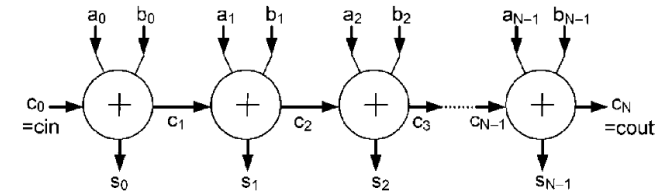
Exercice 2.

- 1) Donner la description VHDL d'un multiplexeur à deux entrées données.
- 2) Donner une description VHDL du circuit illustré dans la figure ci-après.



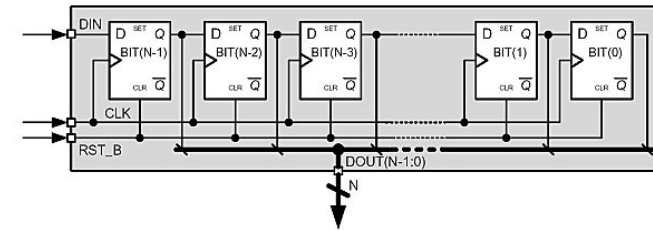
Exercice 3.

- Donner une description VHDL d'un additionneur à N bits :
- D'abord, donner la description VHDL d'un additionneur à 1 bit.
 - Puis, donner une description structurelle de l'additionneur N bits.



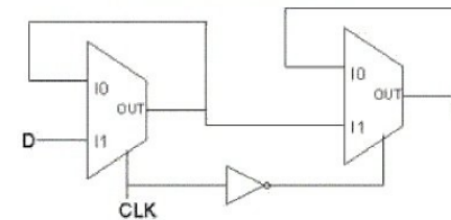
Exercice 4.

Il s'agit de développer un modèle structurel d'un registre N bits avec une entrée série et une sortie parallèle basé sur les composants des bascules D.



Les entrées: Horloge CLK (1 bit), reset RST_B remise à zéro (1 bit) asynchrone actif au niveau bas ('0'), données série DIN (1 bit) et les Sorties: Contenu du registre DOUT (N bits). N est un paramètre générique.

- 1) Donner une description VHDL d'une bascule D en utilisant des multiplexeurs.



- 2) Donner une description structurelle en VHDL (entity et architecture) d'un registre Registre série-parallèle à N bits, en utilisant le module décrit dans la question précédente.

Exercice 4.

Considérons le code VHDL suivant :

```
Entity ex2 is port (
  X: in integer range 3 downto 0;
  Y: in std_logic ;
  S: out std_logic_vector (3 downto 0));
End Entity;
Architecture arch_ex2 of ex_2 is
Begin
  Process(X, Y)
  begin
    S <="1111";
    If Y='0' then
      S(X) <='0';
    End If;
  End Process;
End Architecture;
```

- 1) Représenter en bloc de fonction le module matériel que représente l'unité de conception VHDL ci-dessus.
- 2) Quelle est la nature du circuit ? (combinatoire ou séquentiel)
- 3) Donner le schéma théorique de réalisation de cette unité de conception.

Exercice 5.

Dans les deux cas suivants, réaliser la simulation si c'est possible en déterminant la valeur de la sortie F.

1)

```
entity exempleSignaux is
  port (F : out std_logic);
end exempleSignaux;
architecture arch1 of exempleSignaux is
begin
  F <= '1';
  F <= '0';
end arch1;
```

2)

```
entity exempleSignaux is
  port (A : in std_logic; F : out std_logic);
end exempleSignaux;
architecture arch2 of exempleSignaux is
begin
  process(A)
  begin
    F <= A;
    F <= not(A);
  end process;
end arch2;
```